

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Masanobu NOGOME et al.

Serial No. 10/630,900

Filed July 31, 2003



THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

: Attn: APPLICATION BRANCH

: Attorney Docket No. 2003_1075A

SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents

P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-174015, filed June 18, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Masanobu NOGOME et al.

By Michael S. Huppert
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 30, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月18日
Date of Application:

出願番号 特願2003-174015
Application Number:
[ST. 10/C] : [JP 2003-174015]

出願人 松下電器産業株式会社
Applicant(s):

2003年 8月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

【書類名】 特許願
【整理番号】 2926950003
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/768
【発明者】
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名】 能米 雅信
【発明者】
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名】 田村 彰良
【発明者】
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名】 村山 啓一
【発明者】
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名】 宮永 和恒
【発明者】
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名】 黒石 義高
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100109210

【弁理士】

【氏名又は名称】 新居 広守

【先の出願に基づく優先権主張】

【出願番号】 特願2002-224554

【出願日】 平成14年 8月 1日

【手数料の表示】

【予納台帳番号】 049515

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213583

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 表面から裏面へ貫通するビアホールを具備する半導体基板を備えた半導体装置であって、

前記半導体基板の表面に形成された電極の一部は前記ビアホールを介して半導体基板の裏面に達し、

前記半導体基板の表面のビアホール開口部を完全に覆うように前記ビアホールの内部には感光性樹脂が埋め込まれている

ことを特徴とする半導体装置。

【請求項 2】 前記感光性樹脂はビアホール深さより浅く埋め込まれていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記感光性樹脂の主成分がシリコーン樹脂あるいはエポキシ樹脂である

ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記感光性樹脂の粘度が 25°Cにおいて 70～600 mPa · s である

ことを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 表面から裏面へ貫通するビアホールを具備する半導体基板と、前記半導体基板の裏面と接着用金属を介して接合する組立て用基板とを備えた半導体装置の製造方法であって、

前記半導体基板を回転させるとともに、ビアホール形成用の穴が形成された半導体基板の表面に感光性樹脂を塗布し、前記ビアホール形成用の穴の開口部を完全に覆うようにビアホール形成用の穴の内部に感光性樹脂を埋め込む感光性樹脂埋め込み工程と、

前記半導体基板を回転させ、前記半導体基板の表面の感光性樹脂を平坦化させる感光性樹脂平坦化工程と、

前記半導体基板の裏面を前記ビアホール形成用の穴が現れるまで研磨し、ビアホールを形成するビアホール形成工程と、

半導体基板に裏面電極を形成する裏面電極形成工程と、
半導体基板をチップ単位に分割し、前記チップ単位に分割された半導体基板を
組立て用基板に接着用金属を介して載置する載置工程と
を含むことを特徴とする半導体装置の製造工程。

【請求項6】 前記感光性樹脂埋め込み工程において、半導体基板を200
～900 rpmで回転させ、

前記感光性樹脂平坦化工程において、感光性樹脂の表面膜厚が4～10 μmに
なるように半導体基板を回転させる
ことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記感光性樹脂埋め込み工程において、シリコーン樹脂あるいはエポキシ樹脂を主成分とする感光性樹脂を塗布する
ことを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 前記感光性樹脂埋め込み工程において、粘度が25°Cにおいて70～600 mPa・sである感光性樹脂を塗布する
ことを特徴とする請求項5～7のいずれか1項に記載の半導体装置の製造方法

。 【請求項9】 前記裏面電極形成工程において、CrおよびAuの積層金属
からなる裏面電極を形成する
ことを特徴とする請求項5～8のいずれか1項に記載の半導体装置の製造方法

。 【請求項10】 前記接着用金属がAgペーストあるいはAuSnペースト
であり、

前記載置工程において、AgペーストあるいはAuSnペーストを介してチップを組立て用基板に載置する
ことを特徴とする請求項5～9のいずれか1項に記載の半導体装置の製造方法

。 【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの組立てに関し、特に半導体チップのビアホールに樹脂を埋め込むことにより、組立て時の不良を防止する事を特徴とする半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来から、電界効果トランジスタ（以下FETと記載）あるいはヘテロバイポーラトランジスタ（以下HBTと記載）等の化合物半導体装置は、携帯電話機の部品の一つである送信用高出力電力増幅器に使用されており、高出力、高利得かつ低歪みの優れた特性が求められている。この要求に対応するため、特に高い利得を得るために、FET等の半導体素子の高性能化とともに、半導体装置の製造工程において、グラウンド配線をチップ上の電極パッドからワイヤーで引き出すのではなく、チップを貫通したビアホールを通じて裏面から引き出している。この技術を用いて増幅用のFETのソース電極をグラウンド接続した場合、寄生ソースインダクタンスを大幅に低減することができ、パワーアンプの利得を上げることができる。

【0003】

以下、ビアホール構造を有する半導体装置の製造方法について図5に示す断面図に沿って説明する。

まず、10aに示されるように、FETや抵抗、キャパシタ、インダクタによる回路が形成されたGaAs基板100表面に、ビアホール形成用の穴110を約 $150\mu m$ の深さで形成する。そして、GaAs基板100表面に形成された電極の一部およびビアホール形成用の穴110にAuメッキ120を形成した後、最表面に保護膜130を形成する。このとき、ビアホール形成用の穴110は、プロセスの簡便性の点から、回路が形成されたGaAs基板100表面に形成される方が裏面に形成されるより有利である。

【0004】

次に、10bに示されるように、GaAs基板100を研磨して約 $100\mu m$ に薄膜化することによりビアホール形成用の穴110を貫通させ、ビアホール140を形成する。そして、GaAs基板100裏面にCrおよびAuの積層金属

を蒸着し、裏面電極150を形成する。そして、図示していないが、G a A s 基板100をチップ状にダイシングする。

【0005】

次に、10cに示されるように、A gペーストあるいはA u S nペーストである接着用金属170を介してチップを組立て用基板160上にダイスボンドする。

【0006】

ところで、上記半導体装置の製造方法に含まれるチップをダイスボンドする工程において、接着用金属170がビアホール140から吹き出し、チップ表面の回路を汚染してしまう。

【0007】

このような問題を解決するための先行技術として、「半導体装置の製造方法」(特許文献1参照)が開示されている。この文献によれば、半導体装置の製造方法の10aに示される工程において、光硬化性樹脂をビアホール形成用の穴110に埋め込み、10bに示される工程において、G a A s 基板100裏面のビアホール開口部を含む全面に裏面電極を形成し、光硬化性樹脂を有機溶剤で除去することにより、G a A s 基板100裏面のビアホール開口部を裏面電極で覆い、ダイスボンド時の接着用金属170の吹き出しを防止している。

【0008】

【特許文献1】

特開2001-110897号公報

【0009】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法において、光硬化性樹脂を有機溶剤で除去する際に、G a A s 基板を有機溶剤に浸し、乾燥させるが、G a A s 基板が薄膜化されているため、G a A s 基板の取り扱いが難しく、G a A s 基板が割れてしまうという問題がある。また、従来の半導体装置の製造方法において、裏面電極により接着用金属の吹き出しを防止するが、裏面電極が薄いとビアホール開口部を覆うのに不十分で裏面電極に穴が開き、ダイスボンド時に接着用金属

が吹き出し、また、裏面電極が厚いと、ダイシングが困難になるという問題がある。また更に、従来の半導体装置の製造方法において、光硬化性樹脂はビアホール内にのみ埋め込まれているため、G a A s 基板表面のビアホール開口部は光硬化性樹脂で完全に覆われておらず、ビアホールの側壁のメッキと光硬化性樹脂との密着が悪いと、裏面電極の蒸着時にチップの表面への吹き出しが発生するという問題がある。

【0010】

そこで、本発明は、かかる問題点に鑑み、接着用金属の吹き上がりが無く、かつ、組立て不良を防止することができる半導体装置、およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置は、表面から裏面へ貫通するビアホールを具備する半導体基板を備えた半導体装置であって、前記半導体基板の表面に形成された電極の一部は前記ビアホールを介して半導体基板の裏面に達し、前記半導体基板の表面のビアホール開口部を完全に覆うように前記ビアホールの内部には感光性樹脂が埋め込まれていることを特徴とする。ここで、前記感光性樹脂の主成分はシリコーン樹脂あるいはエポキシ樹脂であってもよいし、前記感光性樹脂の粘度は25°Cにおいて70～600mPa・sであってもよい。

【0012】

これによって、半導体基板のビアホールには感光性樹脂が埋め込まれ、また、その感光性樹脂を除去しないので、接着用金属の吹き上がりが無く、かつ、組立て不良を防止することができる半導体装置を実現することができるという効果が発揮される。

【0013】

また、前記感光性樹脂はビアホール深さより浅く埋め込まれていてもよい。

これによって、ビアホール形成のために半導体基板を研磨する際に、感光性樹脂は影響しないので、歩留まり等の損害を大幅に軽減し、低成本の半導体装置を実現することができるという効果が発揮される。

【0014】

また、本発明は、表面から裏面へ貫通するビアホールを具備する半導体基板と、前記半導体基板の裏面と接着用金属を介して接合する組立て用基板とを備えた半導体装置の製造方法であって、前記半導体基板を回転させるとともに、ビアホール形成用の穴が形成された半導体基板の表面に感光性樹脂を塗布し、前記ビアホール形成用の穴の開口部を完全に覆うようにビアホール形成用の穴の内部に感光性樹脂を埋め込む感光性樹脂埋め込み工程と、前記半導体基板を回転させ、前記半導体基板の表面の感光性樹脂を平坦化させる感光性樹脂平坦化工程と、前記半導体基板の裏面を前記ビアホール形成用の穴が現れるまで研磨し、ビアホールを形成するビアホール形成工程と、半導体基板に裏面電極を形成する裏面電極形成工程と、半導体基板をチップ単位に分割し、前記チップ単位に分割された半導体基板を組立て用基板に接着用金属を介して載置する載置工程とを含むことを特徴とする半導体装置の製造方法とすることもできる。ここで、前記感光性樹脂埋め込み工程において、シリコーン樹脂あるいはエポキシ樹脂を主成分とする感光性樹脂を塗布してもよいし、前記裏面電極形成工程において、CrおよびAuの積層金属からなる裏面電極を形成してもよいし、前記接着用金属がAgペーストあるいはAuSnペーストであり、前記載置工程において、AgペーストあるいはAuSnペーストを介してチップを組立て用基板に載置してもよい。また、前記感光性樹脂埋め込み工程において、半導体基板を200～900rpmで回転させ、前記感光性樹脂平坦化工程において、感光性樹脂の表面膜厚が4～10μmになるように半導体基板を回転させてもよいし、前記感光性樹脂埋め込み工程において、粘度が25℃において70～600mPa・sである感光性樹脂を塗布してもよい。

【0015】

これによって、チップを組立て用基板に載置する際に接着用金属の吹き出しがなく、また、感光性樹脂を除去する工程を加える必要がないので、接着用金属の吹き上がりが無く、かつ、組立て不良を防止することができる半導体装置の製造方法を実現することができるという効果が発揮される。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態における半導体装置について、図面を参照しながら説明する。

図1は、本発明の実施の形態における半導体装置の概略断面図を示す。

【0017】

本実施の形態の半導体装置は、接着用金属の吹き上がりが無く、かつ、組立て不良を防止する半導体装置を実現することを目的とするものであって、半導体基板であるGaN基板200と、半導体素子210と、GaN基板200の表面から裏面まで貫通する直径 $70\mu\text{m}$ のビアホール220と、ビアホール220を介してソース電極212をGaN基板200裏面に接地するAuメッキ230と、CrおよびAuの積層金属からなる裏面電極240と、保護膜250と、GaN基板200表面のビアホール220近傍において $4\sim10\mu\text{m}$ の膜厚で形成され、ビアホール220内において約 $30\mu\text{m}$ の深さで埋め込まれ、ダイスボンド時の吹き上がりを防止するネガ型の感光性シリコーンレジスト260と、リードフレームである組立て用基板270と、組立て用基板270とGaN基板200とを接着するAgペーストもしくはAuSnペーストである接着用金属280とから構成される。なお、GaN基板200は、他の半導体基板、例えば、InP基板、GaN基板、化合物半導体基板あるいはSi基板であってもよい。また、Auメッキ230はソース電極212をGaN基板200裏面に接地するとしたが、Auメッキ230はGaN基板200表面に形成された他の電極をGaN基板200裏面に接地してもよいし、また、複数の電極をGaN基板200裏面に接地してもよい。

【0018】

ここで、半導体素子210は、バイポーラトランジスタ、FETあるいはHBT等の3端子素子であり、素子領域211と、ソース電極212と、ゲート電極213と、ドレイン電極214とから構成される。なお、半導体素子210は、3端子素子であるとしたが、レーザダイオード、整流ダイオードあるいは抵抗等の2端子の素子、又は多数の端子の素子であってもよいし、複数の半導体素子からなる集積回路、インダクタやキャパシタを含むアナログ集積回路もしくはマイ

クロ波集積回路であってもよい。

【0019】

また、感光性シリコーンレジスト260は、信越化学工業社製シロキサン樹脂を主成分としたシリコーン樹脂（製品名：SINR-3170-7.0若しくはSINR-7170L-7.0）である。なお、感光性シリコーンレジスト260は、エポキシ樹脂を主成分とした紫外線硬化樹脂であってもよい。また、感光性シリコーンレジスト260は、ポジ型であってもよい。

【0020】

次に、以上のような構造を有する半導体装置の製造方法について図2に示す断面図および図3に示すフローチャートに沿って説明する。なお、図1と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。

【0021】

まず、30aに示されるように、半導体素子（図外）が形成されたGaAs基板200表面に、 $150\mu m$ の深さでビアホール形成用の穴310を形成した後、GaAs基板200表面に形成された電極の一部およびビアホール形成用の穴310にAuメッキ230を形成する（ステップS400）。そして、半導体素子およびAuメッキ230を覆う保護膜250を形成する（ステップS410）。そして、スピンドルコートを用いてGaAs基板200を約750rpmの低速で回転させ、ビアホール形成用の穴310が形成されたGaAs基板200表面に感光性シリコーンレジスト260を塗布した後、約1分GaAs基板200を回転させ、ビアホール形成用の穴310に感光性シリコーンレジスト260を約 $30\mu m$ の深さで埋め込む（ステップS420）。そして、更にGaAs基板200を約3000rpmで20秒回転させ、感光性シリコーンレジスト260をGaAs基板200表面に約 $7\mu m$ の膜厚で平坦化させる（ステップS430）。このとき、ビアホール形成用の穴310には約 $30\mu m$ の深さで感光性シリコーンレジスト260が埋め込まれるので、ビアホール形成用の穴310内部には、感光性シリコーンレジスト260の底面から約 $120\mu m$ の深さを有する空洞320が出来る。なお、感光性シリコーンレジスト260を平坦化させる際に、G

a A s 基板200を3000 r p mで20秒回転させたが、面内均一性の良い4～10 μmの膜厚の感光性シリコーンレジスト260がG a A s 基板200表面に形成されればそれに限らず、他の回転数および時間でG a A s 基板200を回転させてもよい。また、ビアホール形成用の穴310に感光性シリコーンレジスト260を埋め込む際に、G a A s 基板200を約750 r p mで回転させたが、20 μm以上の深さでビアホール形成用の穴310に感光性シリコーンレジスト260を埋め込むことができればそれにかぎらず、200 r p m以上900 r p m以内、更に望ましくは500 r p m以上800 r p m以内でG a A s 基板200を回転させてもよい。

【0022】

次に、30bに示されるように、感光性シリコーンレジスト260を露光および現像させ、ビアホール形成用の穴310の開口部を完全に覆うように感光性シリコーンレジスト260を残す（ステップS440）。このとき、G a A s 基板200表面において感光性シリコーンレジスト260の膜厚は4～10 μmであるので、膜厚が厚くなり、現像が困難になるといったことが起こらない。なお、現像は、90°C 120秒でベーク後、I P A（イソプロピルアルコール）あるいは乳酸エチルの現像液にディップさせることで行われる。そして、約200°Cで60分ベークを行い、感光性シリコーンレジスト260を硬化させる（ステップS450）。なお、ベーク温度は低いため半導体素子の特性には温度の影響がない。

【0023】

ここで、感光性シリコーンレジスト260の粘度が高過ぎる場合、感光性シリコーンレジスト260を現像させる際に、現像後もG a A s 基板200表面の電極部分等に感光性シリコーンレジスト260が残り、不良になり、また、ビアホール形成用の穴310に感光性シリコーンレジスト260を埋め込む際に、ビアホール形成用の穴310への感光性シリコーンレジスト260の埋め込みを十分出来ず、感光性シリコーンレジスト260でビアホール形成用の穴310を完全に塞げない。また一方、粘度が低過ぎる場合、感光性シリコーンレジスト260を平坦化させる際に、G a A s 基板200表面の感光性シリコーンレジスト26

0の膜厚が薄くなるか若しくは無くなり、ビアホール形成用の穴310の開口部を十分に覆えず、また、ビアホール形成用の穴310に感光性シリコーンレジスト260を埋め込む際に、感光性シリコーンレジスト260がビアホール形成用の穴310を充填し、空洞320ができる。よって、25°Cにおける感光性シリコーンレジスト260の粘度を450mPa・sとした。なお、25°Cにおける感光性シリコーンレジスト260の粘度は、70~600mPa・sであってもよい。

【0024】

次に、30cに示されるように、GaAs基板200を約100μm位まで研磨して、約100μmに薄膜化することによりビアホール形成用の穴310を貫通させ、ビアホール220を形成する（ステップS460）。そして、GaAs基板200裏面にCrおよびAuの積層金属を蒸着し、裏面電極240を形成する（ステップS470）。そして、図示していないが、GaAs基板200をチップ状にダイシングする（ステップS480）。

【0025】

次に、30dに示されるように、予め接着用金属280が付された組立て用基板270にチップをダイスボンドさせる（ステップS490）。このとき、接着用金属280がチップにより抑えつけられ、ビアホール220内に侵入するが、感光性シリコーンレジスト260底面とGaAs基板200裏面とは約70μmの差があるため、空洞320の部分まで侵入した後停止し、接着用金属280はチップ表面まで吹き出してこない。

【0026】

図4は、半導体装置の製造方法を示す図3のフローチャートのS420において回転数を変化させた時の、ビアホール形成用の穴310に埋め込まれた感光性シリコーンレジスト260の深さと回転数の関係をグラフに表したものである。

【0027】

図4から、回転数が200rpm以上900rpm以内の時には、20μm以下の深さを有する感光性シリコーンレジスト260が±3σ外にあり、更に、回転数が500rpm以上800rpm以内の時には、40μm±25%（10μ

m) の範囲外の深さを有する感光性シリコーンレジスト260が $\pm 3\sigma$ 外にあることがわかる。本発明はこのような結果を利用したものであり、接着用金属280の吹き出しを防止するためにはビアホール220内において $20\mu m$ の深さを有する感光性シリコーンレジスト260が必要であり、更に $40\mu m \pm 25\%$ ($10\mu m$) の深さを有する感光性シリコーンレジスト260が望ましいことから、回転数を 200 rpm 以上 900 rpm 以内、更に望ましくは 500 rpm 以上 800 rpm 以内とした。

【0028】

以上のように本実施の形態によれば、半導体装置はビアホール内部に感光性シリコーンレジストを備える。よって、チップを組立て用基板にダイスボンドする際に起こる接着用金属の吹き上がりを防止することができるので、本実施の形態の半導体装置は、接着用金属の吹き上がりが無い半導体装置およびその製造方法を実現することができる。

【0029】

また、本実施の形態によれば、ビアホール内の感光性シリコーンレジストを除去しない。よって、感光性シリコーンレジストを除去する工程を必要としないので、本実施の形態の半導体装置は、組立て不良を防止することができる半導体装置およびその製造方法を実現することができる。

【0030】

また、本実施の形態によれば、ビアホール形成用の穴に空洞が形成されるよう感光性シリコーンレジストをビアホールに埋め込む。よって、感光性シリコーンレジストは感光性シリコーンレジストとGaN基板との硬度差を起因とする研磨むら等のGaN基板の研磨時に生じる悪影響を与えないで、本実施の形態の半導体装置は、歩留まり等の損害を大幅に軽減し、低コストの半導体装置およびその製造方法を実現することができる。

【0031】

また、本実施の形態によれば、GaN基板表面のビアホール開口部は光硬化性樹脂で完全に覆われている。よって、ダイスボンド時の接着用金属の吹き上がりを完全に防止することができるので、本実施の形態の半導体装置は、接着用金

属の吹き上がりが完全に無い半導体装置およびその製造方法を実現することができる

【0032】

なお、本実施の形態において、組立て用基板としてリードフレームを例示し、チップをリードフレームにダイスボンドするとした。しかし、組立て用基板は実装基板であり、チップを実装基板に実装してもよい。

【0033】

また、本実施の形態において、ビアホール形成用の穴に空洞が形成されるよう に感光性シリコーンレジストをビアホールに埋め込むとした。しかし、感光性シリコーンレジストが半導体基板を研磨する際に与える影響が許容範囲内にあれば それにかぎらず、ビアホール形成用の穴に感光性シリコーンレジストを充填してもよい。

【0034】

【発明の効果】

以上の説明から明らかなように、本発明に係る半導体装置によれば、半導体基板のビアホール内には感光性樹脂が埋め込まれ、また、その感光性樹脂を除去しないので、接着用金属の吹き上がりが無く、かつ、組立て不良を防止することができる半導体装置およびその製造方法を実現できるという効果が奏される。

【0035】

よって、本発明により接着用金属の吹き上がりを防止することができ、かつ、組立て不良を防止する半導体装置およびその製造方法を提供することが可能とな り、実用的価値は極めて高い。

【図面の簡単な説明】

【図1】

本発明の実施の形態における半導体装置の構造断面図である。

【図2】

同実施の形態における半導体装置の製造方法を示す同半導体装置の構造断面図である。

【図3】

同実施の形態における半導体装置の製造方法を示すフローチャートである。

【図4】

図3のS420において、回転数を変化させた時のビアホール形成用の穴310の感光性シリコーンレジスト260の膜厚と回転数のグラフである。

【図5】

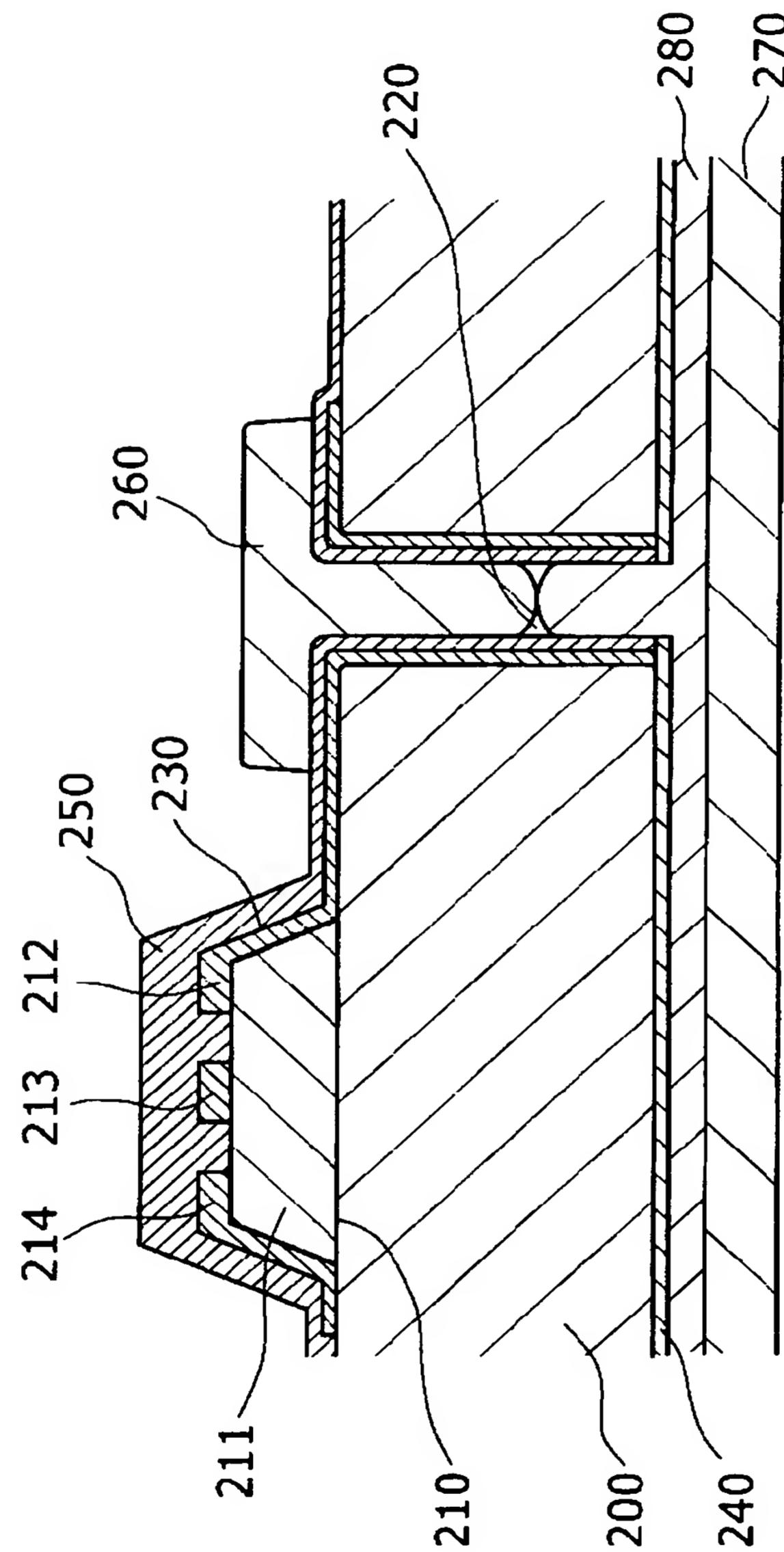
従来のビアホール構造を有する半導体装置の製造方法を示す同半導体装置の構造断面図である。

【符号の説明】

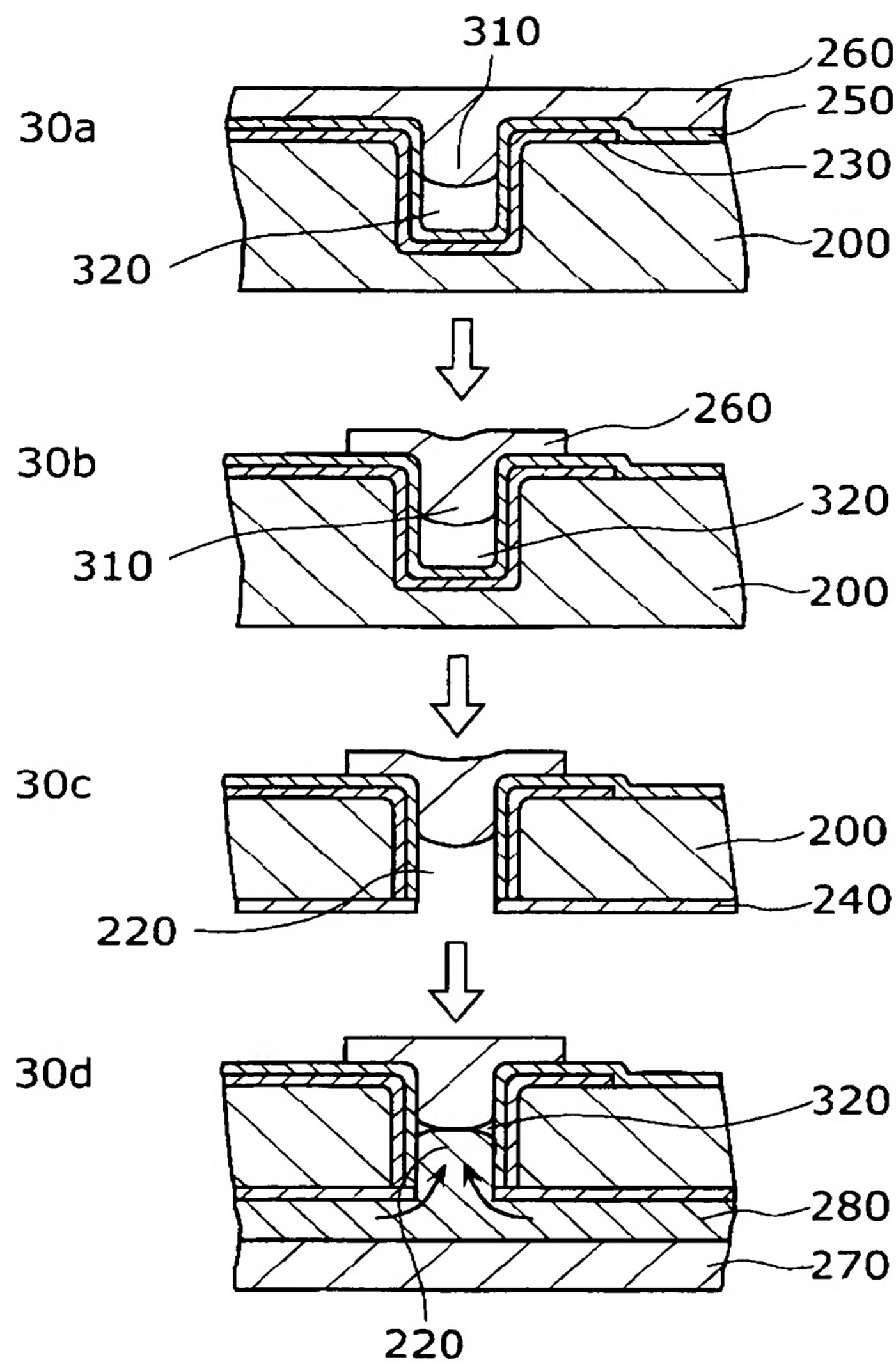
100、200	GaAs基板
110、310	ビアホール形成用の穴
120、230	Auメッキ
130、250	保護膜
140、220	ビアホール
150、240	裏面電極
160、270	組立て用基板
170、280	接着用金属
210	半導体素子
211	素子領域
212	ソース電極
213	ゲート電極
214	ドレイン電極
260	感光性シリコーンレジスト
320	空洞

【書類名】 図面

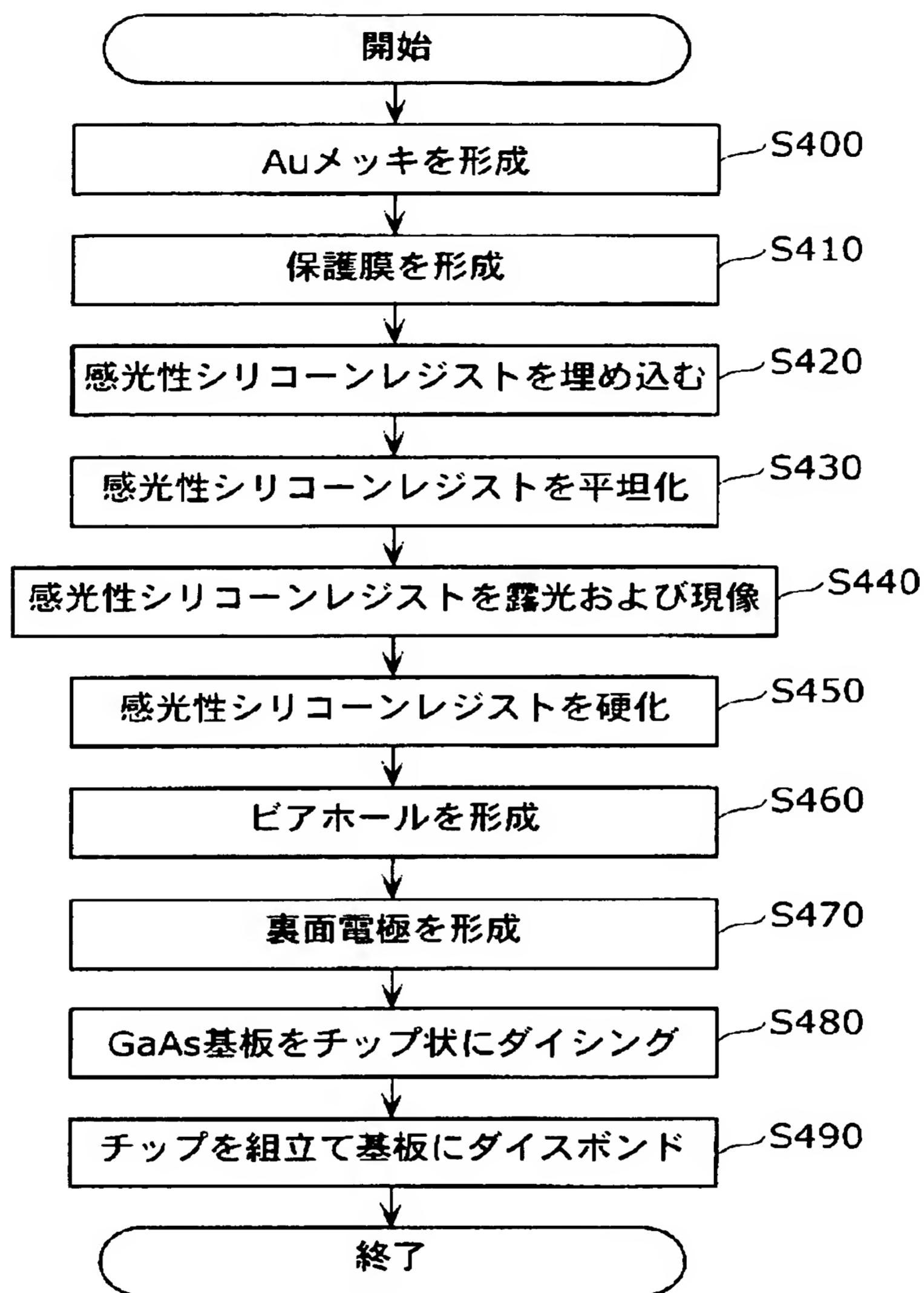
【図 1】



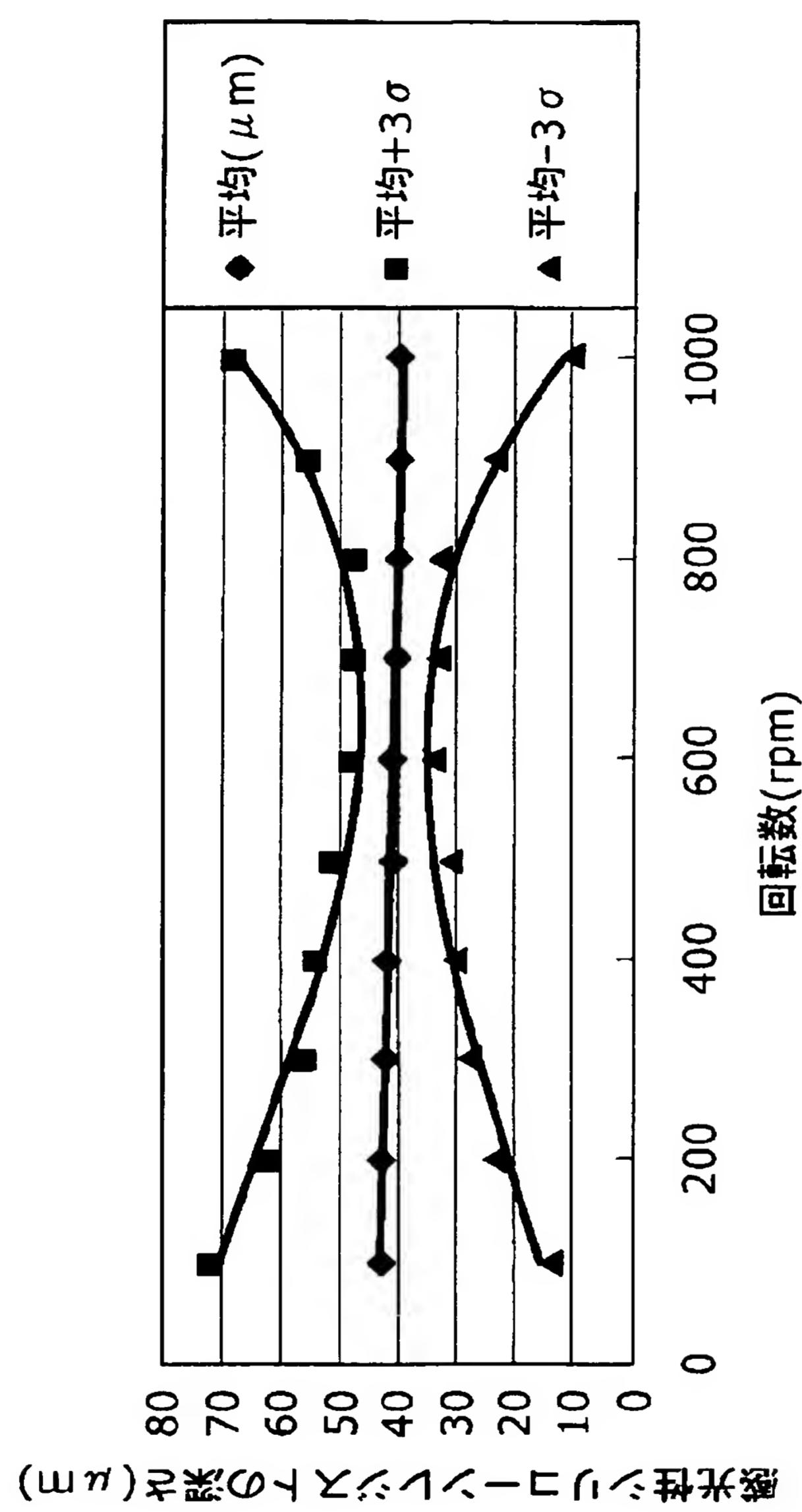
【図2】



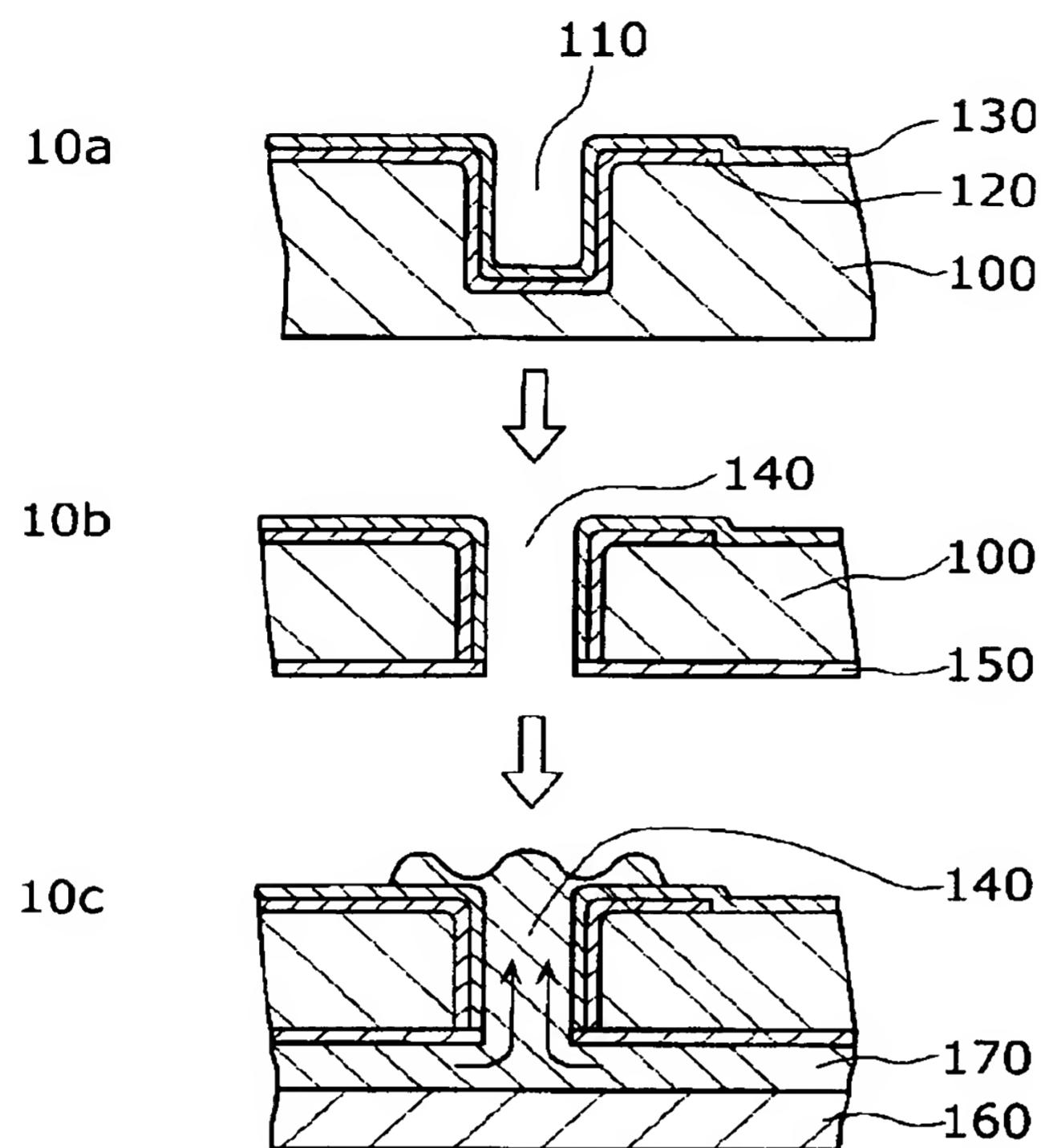
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 接着用金属の吹き上がりを防止することができ、かつ、組立て不良を防止する半導体装置およびその製造方法を提供する。

【解決手段】 GaAs基板200を回転させるとともに、GaAs基板200表面に感光性シリコーンレジスト260を塗布し、ビアホール形成用の穴310内部に感光性シリコーンレジスト260を埋め込む。次に、回転数を変化させて更にGaAs基板200を回転させ、GaAs基板200表面の感光性シリコーンレジスト260を平坦化させる。次に、GaAs基板200裏面を研磨し、GaAs基板200の表面から裏面までアホール形成用の穴310を貫通させ、ビアホール220を形成する。次に、GaAs基板200裏面に裏面電極240を形成する。次に、GaAs基板200をチップ単位に分割し、チップを組立て用基板270に接着用金属280を介して載置する。

【選択図】 図2

認定・付加情報

特許出願の番号 特願2003-174015
受付番号 50301020105
書類名 特許願
担当官 第五担当上席 0094
作成日 平成15年 6月23日

<認定情報・付加情報>

【提出日】 平成15年 6月18日

次頁無

出証特2003-3065780

特願 2003-174015

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社